

(11)Publication number : 01-176115
(43)Date of publication of application : 12.07.1989

(51)Int.Cl.

H03K 5/02
H03K 19/00

(21)Application number : 62-336010

(71)Applicant : NEC CORP

(22)Date of filing : 29.12.1987

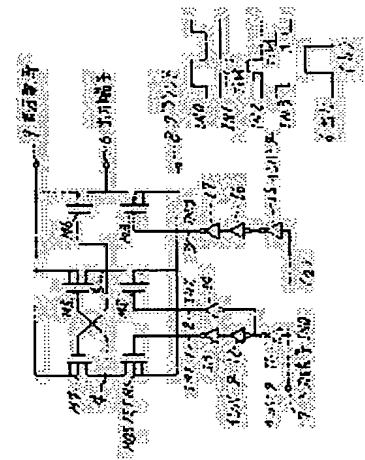
(72)Inventor : TANAKA AKIO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To prevent the increase in power consumption and the deterioration or destruction of an element by giving a signal through a delay circuit to each gate and eliminating a through-current flowing from the P-channel to the N-channel element at the output state change.

CONSTITUTION: Inverters I2, I3 are provided after an inverter to apply waveform shaping, then a high dielectric strength N-channel MOSFETM2 is turned on to retard the final stage high dielectric P-channel MOSFETM6 to be turned on. The signal from the inverter 11 decreases not only the gm of N-channel MOSFETsM1, M2 and there is no delay in the timing when the MOSFETM1 is turned on and the MOSFETM2 is turned off, the P-channel MOSFETM6 is turned off simultaneously when an input signal IN0 is changed. Similarly, only the ON of the high dielectric strength N-channel MOSFETM3 is retarded by decreasing the (gm) of the P-channel MOSFET through the signal in an inverter I5 with a slow leading similarly. Since the timing from OFF to ON of the N-channel MOSFETM3 and the P-channel MOSFETM6 is deviated, the ON/OFF period is eliminated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-176115

⑬ Int. Cl.⁴

H 03 K 5/02
19/00

識別記号

101

庁内整理番号

L-7631-5J
E-8326-5J

⑭ 公開 平成1年(1989)7月12日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体集積回路

⑯ 特 願 昭62-336010

⑰ 出 願 昭62(1987)12月29日

⑱ 発 明 者 田 中 昭 生 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

Pチャネル型MOSFETとNチャネル型MOSFETで構成されるCMOS回路において、Pチャネル型MOSFETとNチャネル型MOSFETのドレインを接続したバッファ回路の出力でPチャネル型MOSFETとNチャネル型MOSFETとを直列に接続した出力回路の一方のMOSFETを駆動し、他方のMOSFETを他の駆動回路で駆動し、前記バッファと前記他の駆動回路の出力発生タイミングをズラした事の特徴とする半導体集積回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は高耐圧、大電流を取り扱う半導体集積

回路に関し、特に、低電圧系のCMOS回路から高電圧系のCMOS回路へレベルを変換するレベルシフト回路に関する。

〔従来の技術〕

従来のこの種のレベルシフト回路の一例を第3図に示す。同図(a)は回路図であり、M13~M15は高耐圧NchMOSFET、M16~M18は高耐圧PchMOSFETで構成されている。また、同図(b)にその各部の動作波形を示す。低電圧系の信号20(IN0)が“H”になるとNchMOSFETM14がオンし、NchMOSFETM13、M15がオフする。この時ノード23の電位が下がるため、PchMOSFETM16とM18がオンし、ノード22と出力端子24の電位が上がりPchMOSFETM17がオフする。信号20(IN0)が“L”になると、上記と反対の動作が起り、NchMOSFETM13、M15とPchMOSFETM17がオンし、NchMOSFETM14とPchMOSFETM16、M18がオフし、出力端子24の電位が下がる。

〔発明が解決しようとする問題点〕

上述した従来のレベルシフト回路は、最終段のNchMOSFETM15とPchMOSFETM18のオン・オフの切り換えが同じタイミングで起きるため、切り換えた時にオン・オンの期間が生じ、最終段で電流起動能力が大きいため、かなり大きな貫通電流が流れていた。このため、消費電力の増加や貫通電流による大電流のために素子の劣化や破壊を起す事もあった。

〔問題点を解決するための手段〕

本発明のレベルシフト回路は、Pチャネル型MOSFETとNチャネル型MOSFETのドレインを接続したバッファのPチャネル側をNチャネル側のそれぞれのゲートに遅延回路を通した信号を入力し、出力の状態変化時にPチャネル側からNチャネル側に向かって流れる貫通電流をなくする事を特徴としている。

〔実施例〕

次に、図面を参照して本発明をより詳細に説明する。

低電圧系のインバータI₁は、立ち下りの遅いインバータであり、NchMOSのg_mを下げて立下りを遅らせている。貫通電流を避けるためのディレイ時間は20nS程度でよく、チャネル長を長くしてg_mを下げる事で、十分このディレイ時間は得られる。このインバータの後ろに1段から数段インバータI₁、I₂をつける事で波形整形を行っている。

これによって高耐圧NchMOSFETM2がオンになり、最終段高耐圧PchMOSFETM6がオンになるのを遅らせる事ができる。インバータI₁のg_mを下げたのはNchMOSFETM1、M2だけでないので、MOSFETM1がオンになりMOSFETM2がオフになるのタイミングにディレイはないので、PchMOSFETM8は入力信号IN0の変化の同時にオフする。同様にして立上りの遅いインバータI₂中のPchMOSFETのg_mを下げる事で高耐圧NchMOSFETM3のオンだけを遅らせる事ができる。NchMOSFETM3とPchMOSFETM6のそれぞ

(2) 第1図(a),(b)は本発明の一実施例の回路図および動作波形図である。

入力信号は立ち下りの遅いインバータI₁、I₂に加えられ、インバータI₁の出力はインバータI₂、I₃を介してNchMOSFETM1のゲートに与えられるとともにインバータI₂を介してNchMOSFETM2のゲートに与えられる。NchMOSFETM1とPchMOSFETM4とは直列に接続され、NchMOSFETM2とPchMOSFETM5とも直列に接続され、PchMOSFETM4のゲートに接続点5が、又PchMOSFETM5のゲートに接続点4がそれぞれたすき掛けに接続されている。接続点5からはPch出力MOSFETM6のゲートに信号が与えられている。

インバータI₂の出力はインバータI₃、I₄を介してNch出力MOSFETM3のゲートに信号が与えられている。Pch出力MOSFETM6とNch出力MOSFETM3とは直列に接続され、それらのドレイン共通接続点から出力端子6に出力が取り出されている。

れのオフからオンへとタイミングを20nSずつずらすことで、オンオンの期間をなくす事ができる。

第2図(a),(b)は本発明の他の実施例の回路図および動作波形図である。第1図の実施例が2つの遅延回路(インバータI₁、I₂)をもち、出力の立上りと立下りを独立に決めているのに対し、本実施例では、1つの遅延回路27で最終段高耐圧PchMOSFETM12と高耐圧NchMOSFETM9それぞれのオフからオンへのタイミングディレイを決めている。高圧出力の立上りと立下りのディレイを独立に最適化することはできないが、調整すべきパラメーターが1つになり、簡単になるという利点がある。

〔発明の効果〕

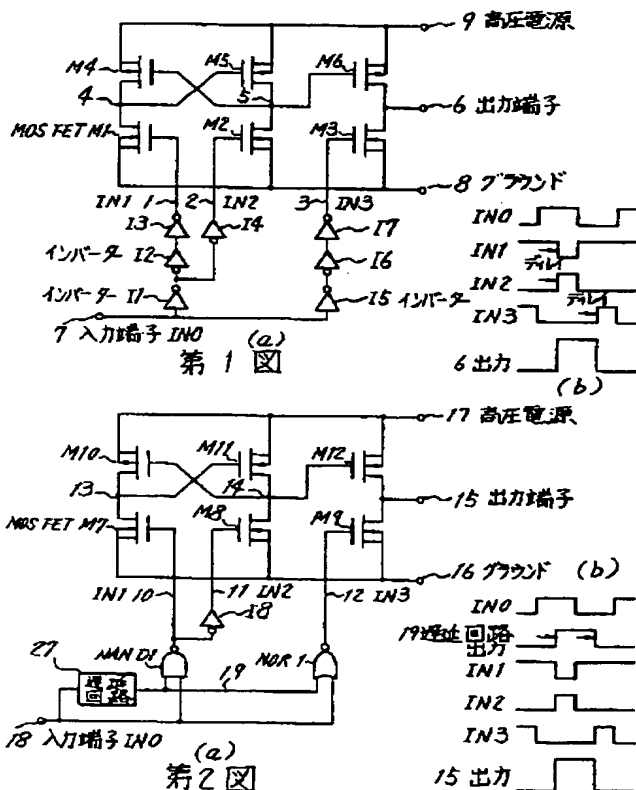
以上説明したように、最終段高耐圧PchMOSFET、高耐圧NchMOSFETのそれぞれのオフからオンになるタイミングを遅らせる事でオンオンの期間をなくし、通常最終段で電流起動能力が大きいため大きな貫通電流が流れていたのをなく

す事ができる。AC型のプラズマディスプレイでは、40Vで1MHz程度のスイッチングを行っている。64回路の高圧出力をもった従来技術のICでは、約0.8Wの貫通電流による電力と約0.8Wのパネル負荷による電力の合わせて約1.6Wの電力を消費していた。本発明を利用する事で貫通電流による電力を“0”にする事ができ、ICの消費電力を従来の半分の0.8Wにする事ができる。

これによって従来セラミックパッケージなどの放熱が良い高価なパッケージを利用していたのが、安価なモールドパッケージで済む事になり、大幅なコスト削減ができる。

4. 図面の簡単な説明

第1図(a),(b)は本発明の一実施例の回路図および動作波形図、第2図(a),(b)は本発明の他の実施例の回路図および動作波形図、第3図(a),(b)は従来のレベルシフト回路の回路図および動作波形図である。



(3) M1~M3, M7~M9, M13~M15……高耐圧Nチャネル型MOSFET、M4~M6, M10~M12, M16~M18……高耐圧Pチャネル型MOSFET、I₁~I₄……低電圧型インバーター、NAND1……低電圧型NAND、NOR1……低電圧型NOR、7, 18, 20……入力端子低電圧型レベル、6, 15, 24……高圧出力端子、8, 16, 25……グラウンド、9, 17, 26……高圧電源、27……遅延回路。

代理人 弁理士 内 原 晋

